

## V41b      FPGA を用いた 64/256 素子電波干渉計の P C インターフェイスの開発

水野 桂寿、田中 尚樹、竹内 央、藤居 文行、国吉 雅也、赤峰 幸徳、末満 大成、後藤 健太郎、鈴木 智也、水木 さおり、福岡 浩二（早大理工）、大師堂 経明（早大教育）

当研究室ではパルサーサーベイプロジェクトの一環として、新しい観測システムを開発中である。新システムの概要は、「(1) アレイアンテナで電波を受信(2) A/D変換(3) FFTプロセッサによるFFT処理(4) PCインターフェイスによる積分およびパソコンへのデータ送信(5) 制御用パソコンによるデータ取り込み」である。

PCインターフェイスは、観測システムの心臓部である新しいFFTプロセッサを制御用パソコンに接続するために開発したものである。これが、この2つの装置の間に入ってデータの伝送をうまく行うことにより、観測データをパソコンに取り込むことができる。また、天体観測のためにはS/N比の向上が必要である。このため、各画素毎に積分する機能を有しており、S/N比を向上することができる。必要に応じ、積分回数は選択することができる。

PCインターフェイスは、次の3つの部分からなる。

### 1. 積分部

データを受信し各画素毎に積分する。データは8クロックに1画素のデータがくる。1サイクルで64/256画素分のデータがくる。積分回数は512、1k、2k、4k回より選択することができる。取り扱うデータ量が多い(最大24ビット×256画素)ので、これはFPGA<sup>a</sup>を使用し行う。

### 2. メモリー部

積分されたデータをFIFO<sup>b</sup>メモリーに書き込む。メモリーは4kバイトの容量を持っている。

### 3. インターフェイス部

FIFOメモリーにデータが書き込まれるとパソコン側はこの状態を認識しデータを取り込みはじめる。データの取り始め、終了はパソコンからのコマンドによる。これはPLD<sup>c</sup>を使用し行う。

---

<sup>a</sup> Field Programable Gate Array

<sup>b</sup> First In First Out

<sup>c</sup> Programable Logic Device