

## V39a 那須電波干渉計デジタル系のシミュレーションによる評価

竹内央、田中尚樹、大師堂経明 (早大教育)、國吉雅也、後藤健太郎、水野桂寿、鈴木智也、水木さおり、福岡浩二、梅村朋弘、鵜沢憲、松村寛夫 (早大理工)、遊馬邦之 (早大理工総セ)

早稲田大学では、現在 single dish で観測中の那須電波望遠鏡を干渉計として使用するために必要なデジタル信号処理系の開発を進めており、干渉計による広域パルサー探査を行う事を目指している。デジタル系は、Radix 4 バタフライ演算を行うカスタム LSI と、各種観測モード毎に信号のマルチプレクスを行う FPGA とで構成されるデジタルプロセッサ部と、パルサー探査のための多ポイント ( $10^{24}$  点) 浮動小数点 FFT を行う DSP 部からなる。

デジタルプロセッサ部は、干渉計各素子の幾何学的遅延の補償を行うシフトレジスタ部、DC カットデジタルフィルタ部、各伝送系で生じた位相誤差を位相乗算器によって等化する位相等化部、 $16 \times 16$  ポイント二次元 FFT による像合成部、256 ポイント FFT によるデジタル分光計、各スペクトルデータを積分し S/N を稼ぐ自乗積分部などから構成され、クロック周波数 20MHz で動作する。

プロセッサのシステム全体では 1000 GOPS を超える演算量となり、システムのデバッグと不良箇所のセルフチェックを行うのは容易ではない。そのためプロセッサの機能を忠実に再現するシミュレーションプログラムを作成し、テストデータをプロセッサとシミュレータに入力して出力結果を比較するシステムを構築した。

また、田中によって作成されたパルサーの擬似信号をシミュレータに入力する事により、本プロセッサの持つパルサーサーベイ能力の評価も行っている。本講演ではこれらの点の進捗状況と今後の課題について述べる。