

V126a FPGA のみで実現するシングルチップ電波分光計 : 3. PYNQ-Z1 による分光計 (600 MSaps, 6 bit, 512 ch) の実証試験 : 性能評価と試験観測

松本健, 西村淳, 米津鉄平, 中尾優花, 藤田真司, 前澤裕之, 大西利和, 小川英夫 (大阪府立大学)

シングルチップ分光計は、傾斜型 ADC を FPGA 内に実装することで、独立した ADC が不要であり、安価に実現できる。一方で、アナログ/デジタル回路が混在することによるノイズの影響などが懸念され、試作機による性能評価と、電波望遠鏡での実際の試験観測を通じて実証することが重要である。

我々は、試作機として、600 MSaps のリアルタイム分光計を開発した (西村他本年会)。本分光計は使用前に、(1) 参照信号の位相と内部クロックの同期と、(2) TDC カウントから電圧への校正テーブルの取得、を行う。FFT は $3.4 \mu\text{s}$ 毎に計算され、32768 回積分されたのち、112 ms 毎に AXI バスを通して取得される。これら一連のキャリブレーションや分光計を制御する python モジュールを開発した。

この分光計を用いて、(a) スプリアスの確認、(b) 周波数応答の評価、(c) SG 出力とノイズソースを用いた線形性評価、などを行った。a: スプリアスはいくつか確認されたが、入力した CW 信号に対して -20 dB 以下であり、観測には影響のないと思われる。b: 周波数分解能は 494 kHz と実測された。これは、周波数間隔 586 kHz で矩形窓を用いた場合の理論値とほぼ一致した。c: 連続波の入力強度 $-25 \sim -15 \text{ dBm}$ の範囲で線形性が保たれている事を確認した。今後、さらにアラン分散測定など短期の安定性や、どれぐれいの頻度でキャリブレーションが必要となるかなど長期の安定性の、確認を進めていく。また、実験室での受信機の Y-factor 実験や実際の電波望遠鏡での試験観測を通して 電波分光計として問題なく運用できるかを確認する。