

## V118a FPGAのみで実現する完全デジタルな電波分光計(ARDS):傾斜型ADCシミュレータの開発

松英裕大<sup>1</sup>, 西村淳<sup>2</sup>, 松本健<sup>3</sup>, 米津鉄平<sup>3</sup>, 中尾優花<sup>3</sup>, 藤田真司<sup>3</sup>, 前澤裕之<sup>3</sup>, 立原研悟<sup>1</sup>, 大西利和<sup>3</sup>, 小川英夫<sup>3</sup> (1:名古屋大学, 2:東京大学, 3:大阪府立大学)

我々は傾斜型ADCとFFT演算器を同じFPGA上に実装し、1チップで構成できる電波分光計(ARDS)の開発に取り組んでいる。この方式を利用することで部品点数を少量化でき、低コストで広帯域な分光計を製作できる。

現時点ではFPGA評価ボードのPYNQ-Z1(Digilent社)に600 MSPS, 6.6 bitのADCと1024点のFFTを搭載した試作機(Nishimura et al, PASJ 2021)が完成し、Orion KLに対して行った実証試験で観測に成功している。

一方で傾斜型ADCは時間・電圧の量子化間隔が不均一なため、ENOBやSFDRの低下が起こる。現時点での試作機はまだこれらの指標が低いため(それぞれ1.4 bit, -19.9 dBc @63 MHz)、観測に影響する可能性がある。

本講演ではPythonを用いて作成した傾斜型ADCの動作シミュレータについて報告する。このシミュレータは傾斜型ADCの振る舞いへの理解を深めることで上記の課題の解決策を模索し、今後の広帯域化に備えるために製作した。仮想的な入力信号と参照信号の時系列電圧値を与えることで傾斜型ADCの演算を再現し、得られる分光スペクトルを導出するものである。試作機に信号発生器からの信号を与えた際に発生するスプリアスの発生周波数・強度とSFDRについて、シミュレータを用いて導出した結果と良く一致することが確認できている。

今後はこのシミュレータを利用して1. 最適な参照波の形状や2. タイムインターリーブを実装した際にどの程度性能が向上するか2点について検討を行いたいと考えている。また、S/H回路を実装した場合の挙動やENOB, SFDRが悪い場合、サイエンス観測での観測効率にどう影響を与えるかについても検証を行う予定である。